

## 應用摘要 系列

# 利用吉時利4200-SCS機型參數分析儀 進行晶圓級可靠性測試

### 簡介

業界不斷地推動在每個晶片上容納更多的裝置並擁有更快的時脈速度，連帶驅動了尺寸精簡、新材料、新技術等需求。由於更高的易脆性、更高的功率密度、更複雜的裝置及新的故障機制，這些因素均會對各個裝置的使用壽命和可靠性產生巨大的影響。之前用於生產具有100年使用壽命的裝置的製程，現在僅能生產使用壽命為10年的裝置，這將威脅到使用這些裝置的系統的預期運作壽命。較小的錯誤餘裕意味著必須從一開始設計時就納入使用壽命的可靠性考量，並持續監測，從裝置開發到製程整合，再到投入生產；即使是極微小的使用壽命改變也可能會對現今的裝置造成災難性的結果。

雖然可靠性測試可在封裝裝置層級中執行，但許多IC製造商正將其遷移至晶圓層級測試，這有幾個原因，包括需要在製造過程中，在更上游的階段進行測試。晶圓級可靠性(WLR)測試也可減少當封裝裝置故障時所損耗的大部分時間、產能、資金和材料。周轉時間將明顯較少，因為晶圓可直接脫離生產線，而不必等待裝置封裝後才測試，這可能最長要耗費兩週的製程。大部分的測試在封裝裝置和WLR測試中均相同，所以使用者可相對輕鬆地遷移至晶圓級測試。

### WLR測試的加壓量測技術

加壓量測測試是常用來評估半導體裝置中的運行壽命和磨損故障機制的技術。這個測試著重於典型故障率浴盆曲線

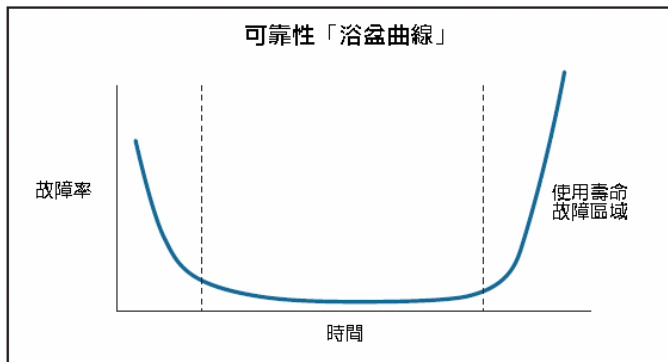


圖1. 典型的半導體可靠性曲線。

(圖1) 右側的故障，也就是與早期故障率或製造故障無關的故障。

加壓量測測試可快速產生外推曲線，以預測裝置的運作壽命。這類資料可用於評估裝置的設計並監測製造過程。由於典型的裝置使用壽命是以年為單位來量測，所以需要相關的技術來加速測試。最有效的方法是對裝置加壓，量測關鍵操作參數的衰退趨勢，並將資料外推至完整的使用壽命。例如，在圖2中，曲線右下部(收集的資料)是採用高壓力條件所產生。這些資料將可繪製成一條線，可用於預測裝置在正常操作條件(曲線的左上部分)下的使用壽命。

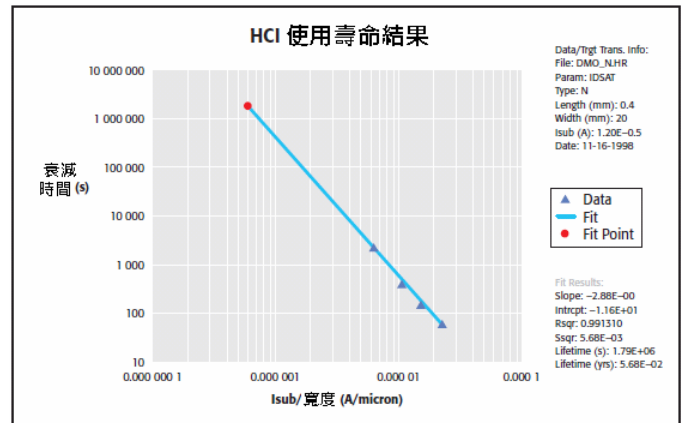


圖2. 從 HCI 測試壽命所作的可靠性推斷範例。

使用加壓量測技術的共同WLR測試包括熱載子注入 (HCI) [1] 或通道熱載子 (CHC)、負偏壓溫度不穩定性(NBTI) [2]、電子遷移 [3]、時間相關介電擊穿 (TDDDB) [4] 和崩潰電荷 (QBD) [5] 的測試。這些測試已經成為主流CMOS裝置的開發和製程控制中的關鍵。

### WLR測試儀器發展趨勢和要求

若要使用全新的刻度係數和材料，使用者將需修改這些既定的測試，並具備對應的儀器功能，才能實行新技術。

可靠性測試已經演進至可符合新裝置設計和材料的需要。雖然HCI仍是重要的可靠性問題，工程師們現在必須關注PMOS的NBTI[6]、高 $\kappa$  閘晶體管的電荷捕獲[7]、而NBTI、TDDDB及HCI之間的交叉效應，如NBTI增強的熱載子[8]，

以及TDDDB增強的NBTI[6]。爲了處理這些新的現象，量測方法現在已從直流加壓並量測，發展到同時使用直流和脈衝加壓以研究衰退鬆弛效應。此外，儀器現在包括更全面的裝置特性分析套件，其中包括直流I-V、C-V、電荷泵和電荷捕獲。表1總結了一些WLR測試的發展趨勢。

	傳統	新
主要裝置 衰減機制	HCI 電荷捕獲	HCI 電荷捕獲 NBTI/PBTI NBTI-HCI TDDDB-NBTI
方法	直流加壓	脈衝/直流加壓
	直流量測	全方位的特性分析 (I-V、C-V、CP)

表1. 近期晶圓級可靠性測試的發展趨勢。

這些不斷變化的測試需求使工程師在如何找到合適的儀器進行有效的裝置和製程開發時面臨了挑戰。所選擇的工具應具有足夠的敏感度，可擷取所有由於壓力而產生的參數衰退相關細節，以及足夠的靈活性，以適應非傳統WLR測試，如壓力C-V、NBTI等。此工具也應具有可擴展性，使工程師不需在每次遇到新的測試問題時就得購買全新的系統。最後，此工具應該易於理解，讓使用者可將寶貴的時間集中於解釋資料，而不是在學習如何使用測試系統。

在功能方面，現代的可靠性測試台必須提供下列資料：

- 硬體和軟體，可加速測試而不影響準確度和外推壽命。
- 半自動或自動探測器控制，附熱卡盤。
- 驅動程式，可控制儀器、探測器、卡盤；建立測試；執行測試；以及管理資料。
- 靈活性，滿足適用於新材料和故障機制的使用者可變更的測試和壓力序列。
- 分析軟體，可輕鬆擷取測試參數和繪圖工具。

### 4200-SCS機型和4225-PMU機型超快速I-V模組的功能

4200-SCS機型是完全整合的模組化參數分析儀，並具備晶圓級可靠性測試的增強功能。此系統可讓使用者分析半導體裝置和測試結構的I-V、脈衝I-V和C-V的特性。其先進的數位掃描參數分析儀結合了速度和準確度，可深入分析亞微米特性。4200-SCS機型能提供高達9個插槽，供電源量測設備 (SMU)、電容電壓設備 (CVU) 或脈衝量測設備 (PMU) 儀器插卡使用，並可控制其他的外部儀器，如切換

式矩陣、LCR測試儀和探測台。這可透過 GPIB、乙太網路或 RS-232 的連線來完成。其軟體包括測試計劃管理、互動式測試設定介面、Excel 式的資料試算表、繪圖能力等等；使用者可靈活選擇使用互動式手動模式 (針對開發過程中的單一測試操作) 或更自動化的生產等。

4225-PMU機型超快速I-V模組是一款適用於4200-SCS機型的單插槽儀器卡，具有兩個通道的電壓脈衝輸出，每個通道皆提供整合、同步、即時電流和電壓量測。此模組是超快速I-V量測能力的必要硬體核心設計，可在微秒內分析NBTI和PBTI衰退的特性，從而針對支援裝置和電路設計件模的可靠性設計 (DIR) 執行更準確的壽命量測。此模組整合了雙通道波形產生器 and 高速電壓與電流量測能力、深度量測緩衝區和即時測試執行引擎。

4225-RPM機型遠端放大器/切換器是4225-PMU之外的另一個可用的選配。其小型機箱是專為靠近待測裝置 (DUT) 放置所設計，提供了許多時序解析可靠性測試特性分析所需的較低電流量測範圍。4225-RPM機型能找出靠近DUT的脈衝輸出，有助於減少電纜的長度和相應的電纜寄生效應，可提供改善的脈衝形狀和更高速度的量測。此外，4225-RPM機型可切換4200-SCS機型的電源量測設備 (SMU) 和多頻電容電壓設備 (CVU) 訊號，以執行高解析度DC量測和C-V量測，而無需重新佈線。

脈衝輸出和量測測試可以使用4225-PMU機型進行；測試需要脈衝輸出，但無法使用4220-PGU機型僅脈衝卡來執行相應的脈衝量測。一個具備脈衝輸出量測功能的典型配置將是由四個SMU、兩個4225-PMU機型和四個4225-RPM機型所組成的4200-SCS系統。此系統便會有四個SMU和四個脈衝I-V通道 (脈衝輸出和量測)，且RPM可在脈衝和SMU測試資源之間切換。這個四通道系統可為四個終端測試裝置提供DC或脈衝輸出和量測，或在兩個測試裝置上量測兩個終端 (例如閘極和漏極)。

針對適用於業界領先的半導體裝置的超快速BTI (偏壓溫度不穩定性) 測試，吉時利提供了單獨的套件 (4200-BTI-A) [9]，其中包含一個4225-PMU、兩個4225-RPM及自動特性分析套件 (ACS) 軟體。除了晶片映射功能，ACS套件還包括了可簡化建立即時技術的例程序，以及盡量減少關斷壓力時間的其他常用技術，以減少呈現BTI行爲的矽裝置中固有的還原效應。請參閱側邊欄「超快速BTI套件」，以瞭解相關資訊。

## 使用KTEI軟體執行WLR測試

4200-SCS系統所隨附的吉時利測試環境互動式軟體工具集 (KTEI9.0) 包括適用於WLR測試的一組範例專案。這些專案均包括加壓量測迴路，此迴路中具有可配置的測試和專案層級的退出邏輯，以及通過晶圓上各個站點的站點迴路[10]。圖3顯示了HCI範例專案。此圖顯示系統隨著時間追蹤一個特定的參數，每一個點代表在加壓週期後一個不同的量測週期。左邊視窗是定序器，其顯示量測測試的順序和專案的整體結構。有幾個適用於WLR測試的專案位於 C:\s4200kiuser\Projects\\_Reliability資料夾下：

- 熱載子注入 (HCI)
- 負偏壓溫度不穩定性 (NBTI)
- 電子遷移 (EM)
- 崩潰電荷 (QBD)

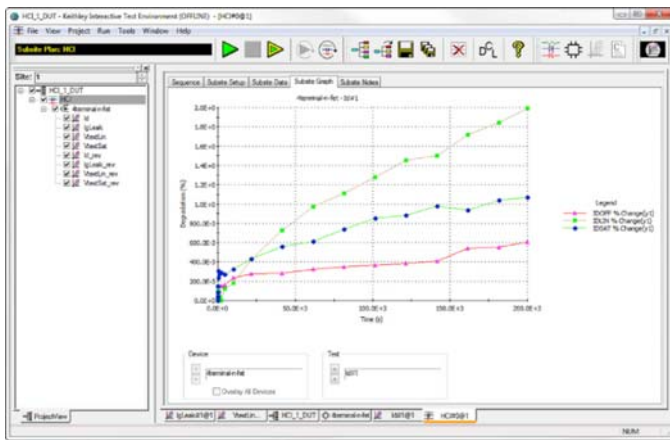


圖3. HCI測試畫面和即時資料圖。

## 熱載子注入 (HCI) 的衰退

HCI衰退是在現代ULSI電路中相當重要的可靠性問題。當電荷載子由橫跨MOSFET通道的大型電場加速時即會獲得動能。雖然大多數的載子都會到達漏極，但由於來自原子水平碰撞的碰撞電離，熱載子 (具有非常高的動能的電荷載子) 可以產生接近漏極的電子穴對。其他載子可以注入到閘通道介面，打斷Si-H鍵和增加介面陷阱密度。HCI的效應是與裝置參數衰退具有時間相關性，如臨界值電壓 ( $V_T$ )、線性和飽和區中的漏極電流 ( $I_{DLIN}$ 和 $I_{DSAT}$ )，以及跨導特性 ( $g_m$ )。

典型的HCI測試過程包括DUT的預壓力特性分析，其次是壓力和量測迴路[11] (圖4)。在此迴路中，裝置將以高於正常運作電壓的電壓加壓。系統將會在加壓之間監視裝置參數，且這些參數的衰退狀況將繪製為積累加壓時間 (圖2) 函數。在進行此加壓和量測循環之前，應先量測相同的裝置參數，以作為基準值。

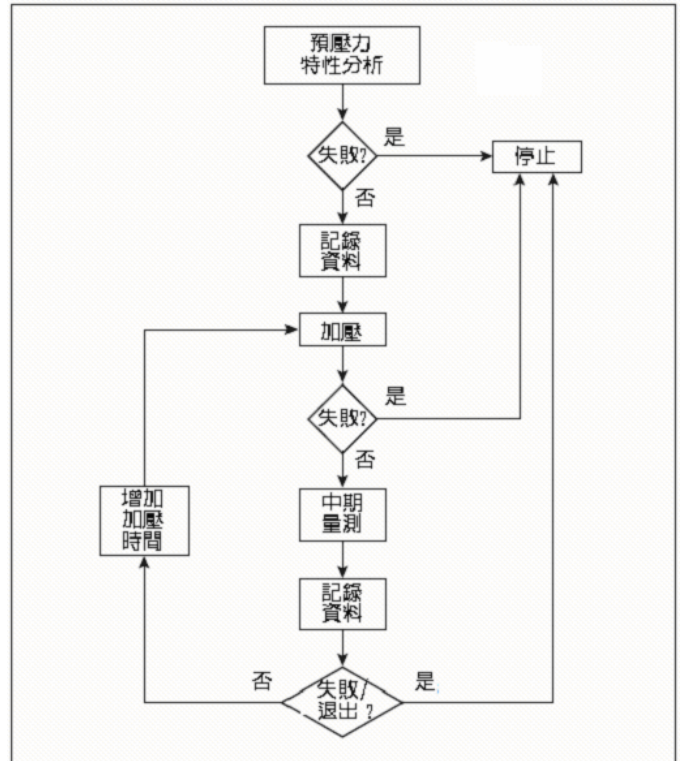


圖4. HCI/NBTI/恆流EM測試的處理流程。

監測的熱載子參數包括 $V_T$ 、 $g_m$ 、 $I_{DLIN}$ 、 $I_{DSAT}$ 和 $I_{DLEAK}$ 。這些參數會在加壓之前進行初始量測，並在每次累積加壓時重新量測。 $I_{DLIN}$ 是裝置在線性區域中偏壓時量測到的漏電流； $I_{DSAT}$ 則是裝置在飽和區域中偏壓時量測到的漏電流。 $V_T$ 和 $g_m$ 可利用恆定電流或外推法來確定。在外推法中， $V_T$ 是從 $I_{DS}$ 與 $V_{GS}$ 曲線的最大斜率來確定。圖5顯示KTEI9.0 HCI\_1\_DUT專案計劃中的HCI測試。4200-SCS機型的公式化工具有效地簡化提取這些參數的程序。內建功能包括可獲得 $g_m$ 的微分函數、可獲得最大 $g_m$  ( $G_{mext}$ ) 的MAX函數，以及可抽取 $V_T$  ( $V_{ttext}$ ) 的最小平方線擬合函數。使用者可在4200-SCS機型隨附的HCI的專案中找到計算這些參數的公式，並可在測試庫中找到對應的測試。圖6顯示公式化程序的自動資料分析能力。

使用者可輕鬆在單個晶體管上執行HCI測試。然而，每個HCI測試通常需要很長的時間才能完成，所以理想的狀況是讓許多DUT平行加壓，然後依序地在加壓之間進行特性分析，以節省時間。系統需要切換式矩陣來處理加壓之間的平行加壓和連續量測程序。4200-SCS機型提供壓力電壓和量測功能，而切換式矩陣可讓使用者執行多個裝置的平行加壓和連續量測。圖7顯示的連接圖說明了使用8台SMU (總共8種不同的漏極和閘極壓力偏壓) 及接地裝置 (接地終端) 以平行加壓20個晶體管。表2列出了測試庫中提供的HCI測試範本。

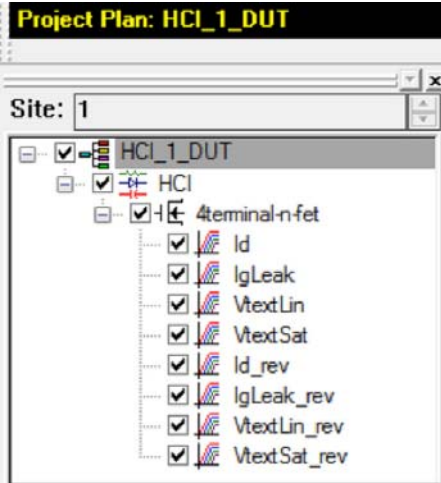


圖 5. 包含在 KTEI9.0 *HCI\_1\_DUT* 專案中的 HCI 測試。

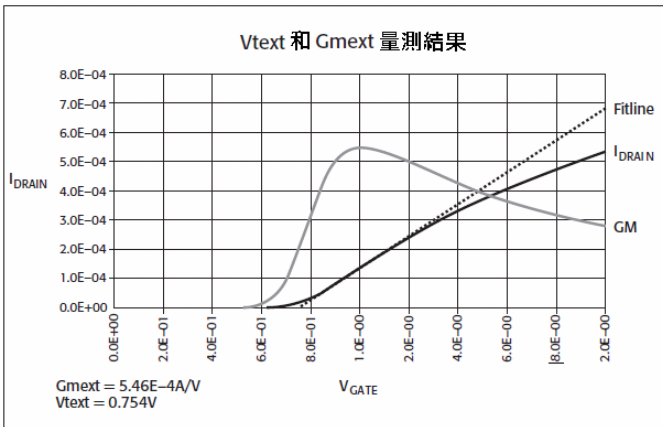


圖 6. 典型的 4200-SCS  $V_T$  和  $g_m$  量測結果。

## 負偏置溫度不穩定性 (NBTI)

NBTI 是一種故障模式，會在 PMOS 晶體管中出現問題，而且當臨界值電壓持續下降並將新材料引入閘極堆疊以維持裝置級的效能時，NBTI 會越來越差。NBTI 衰退是由時間相關的位移在臨界值電壓中量測，並與高溫時負偏壓壓力下較慢的操作、較多的洩漏和較低的驅動電流有關。

NBTI 測試是一個典型的加壓量測順序迴路。加壓時，會施加負閘極偏置電壓，其餘的晶體管終端則接地。在兩次連續加壓之間，漏電流會在正常的操作條件下量測 [12]。漏電流或臨界值電壓的衰退將會繪製為加壓時間的函數。所有的加壓電壓和隨後的量測皆是在高溫 (例如， $135^{\circ}\text{C}$ ) 下執行。NBTI 的流程與 HCI 相似，如圖 4 所示。

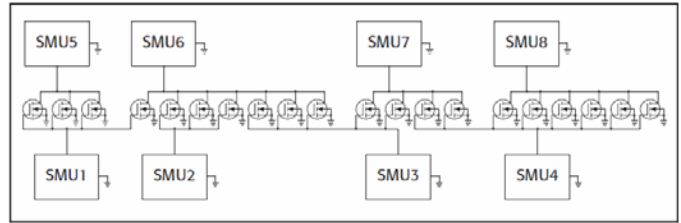


圖 7. 使用 8 個 SMU 來加壓並列的 20 個裝置以進行 HCI 和 NBTI 的範例。獨立的接地裝置 (GNDU) 用於公共終端。

專案	說明
<i>HCI_1_DUT</i>	在四終端 n-MOSFET 上的 HCI 專案。在連續兩次加壓之間監測參數，包括 $I_{DLIN}$ 、 $I_{DSAT}$ 、 $I_g$ 、 $V_T$ 和 $g_m$ 。這些參數會在向前 (正常操作條件) 和反向 (反向源極和漏極偏壓) 等條件下進行量測。子站點計劃配置為使用直流電壓加壓。
<i>HCI_4_DUT</i>	在兩個四終端 n-MOSFET 和兩個四終端 P-MOSFET (附切換矩陣) 上的 HCI 專案。在連續兩次加壓之間監測參數，包括 $I_{DLIN}$ 、 $I_{DSAT}$ 、 $I_g$ 、 $V_T$ 和 $g_m$ 。這些參數會在向前 (正常操作條件) 和反向 (反向源極和漏極偏壓) 等條件下進行量測。子站點計劃配置為使用電壓加壓進行子站點循環。另外，若測試時少於四個裝置，即可能在專案樹中取消選取不必要的裝置規劃，或修改以加入更多裝置。
<i>HCI_PULSE</i>	HCI 專案類似使用交流加壓的 <i>HCI_1_DUT</i> 。

表 2. KTEI9.0 中的 HCI 測試庫

(位於目錄 C:\S4200\kiuser\Projects\Reliability\)

## 超快速 BTI 套件

偏壓溫度不穩定的測試可能需要靈敏、高速量測以進行準確的特性分析。假設所有其他因素均不變，量測物理效果即大致上定義了量測速度和靈敏度之間的關係。執行亞毫秒量測時，必須考慮所有的雜訊源；若為亞微秒的應用，則不可忽略量子效應。4200-BTI-A 套件為超快速 BTI 測試提供了量測速度和靈敏度的最佳組合。套件內含的 4225-PMU 機型可在壓力移除後 30ns 立即開始量測 BTI 衰退，並使用  $I_D$ - $V_G$  掃描法在少於  $1 \mu\text{s}$  時間內量測三極管  $V_T$ 。4225-RPM 機型遠程放大器/切換器增加了可在低位準精密直流 I-V (透過標準的 SMU) 和超快速 I-V 量測之間自動切換的功能，無需重新佈線，並盡可能減少電纜寄生效應和提高低電流靈敏度，進而提高了單脈衝輸出和量測的效能。軟體套件亦包括超快速 BTI 軟體測試模組，因此可輕鬆界定加壓時間、加壓狀態和各種來自現場  $I_D$ 、On-The-Fly (OTF) 或  $I_D$ - $V_G$  掃描的量測序列。測試模組可量測的還原效應及衰退，還提供了預壓力和後壓力量測選項，整合 4200-SCS 機型的直流 SMU 儀器，以進行高準確度低位準的量測。

因為BTI中的還原效應，使用了4200-SCS系統SMU的可用加壓量測功能可能無法對裝置衰退提供足夠的深入分析。正如前面提到，獨立套件 (4200-BTI-A) 適用於4200-SCS機型，可提供超快速輸出和量測以分析現代半導體裝置上BTI衰退與還原效應的特性。

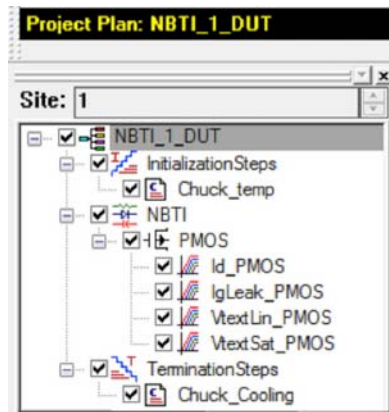


圖8. 包含在NBTI\_1\_DUT專案中，適用於4200-SCS機型的NBTI測試。

圖8所顯示的專案計劃包括控制所述卡盤溫度的初始化和終止步驟。當卡盤達到指定溫度之後，子站點的計劃才能啟動。經過第一個執行特性分析測試的預加壓週期後，隨後的週期會在再次執行測試之前，對裝置進行電壓加壓一段特定的時間。當子站點的計劃完成後，終止步驟會冷卻卡盤。在並列連接方案中，可電壓加壓多達20個裝置。圖7顯示由8個閘極電壓和漏極電壓加壓20個並列連接裝置的範例。請參閱表3，以瞭解KTEI9.0中提供的NBTI測試範本。

專案	說明
NBTI_1_DUT	在一個四終端P-MOSFET上的NBTI專案。在連續兩次加壓之間監測參數，包括 $I_{DLIN}$ 、 $I_{DSAT}$ 、 $I_g$ 、 $V_T$ 和 $g_m$ 。子站點計劃配置為使用電壓加壓來進行子站點循環，還提供熱卡盤控制。

表3. KTEI9.0中的NBTI測試庫 (位於目錄 C:\S4200\kuser\Projects\\_Reliability\)

## 電子遷移

電子遷移是由電流產生的物質移動現象，而且是金屬化的一個主要可靠性問題。

恆溫電測試是在微電子金屬化上所執行的加速電子遷移測試。在等溫測試中，系統會試圖維持待測線路的平均恆溫；這可經由改變加壓電流來完成，因此線路上將會出現大量的焦耳熱 (根據JESD61A-01標準[13])。

圖9顯示了EM\_const\_I專案計劃範本。子站點的計劃 (EM) 配置為在單一裝置 (Metal\_Line) 上使用電流加壓的子站點循環。

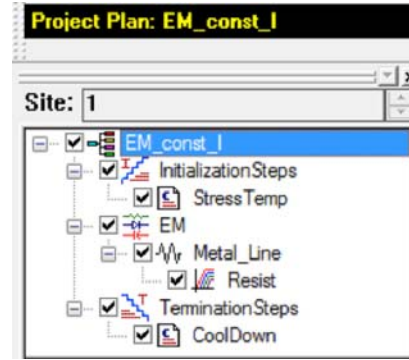


圖9. 包含在KTEI9.0 EM\_const\_I專案中，適用於4200-SCS機型的電子遷移測試。

專案計劃包括控制所述卡盤溫度的初始化和終止步驟。當卡盤達到指定溫度之後，子站點的計劃才能啟動。經過第一個在裝置上執行特性分析測試的預加壓週期後，隨後的週期會在再次執行測試之前，對裝置進行電壓加壓一段特定的時間。當子站點的計劃完成後，終止步驟會冷卻卡盤。EM\_const\_I專案計劃可修改以測試其他裝置。在測試系統中的各個SMU均能電流加壓一個裝置。因此，若在測試系統中有8個SMU，即可加壓最多8個SMU，如圖10所示。請參閱表4，以瞭解電子遷移測試庫中所提供的電子遷移測試範本。

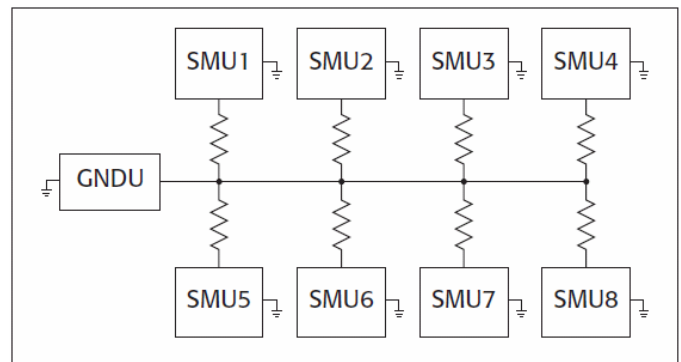


圖10. 8台裝置正由8個SMU加壓電流。

專案	說明
EM_const_I	在一條使用恆定電流的金屬線 (電阻) 上的電子遷移專案。在卡盤溫度時，會強制加壓電流並量測所得電壓；同時會計算電阻。子站點計劃配置為使用電壓加壓來進行子站點循環，還提供熱卡盤控制。

表4. KTEI9.0中的電遷移測試庫 (位於目錄 C:\S4200\kuser\Projects\\_Reliability\)

## 崩潰電荷 (charge-to-breakdown, $Q_{BD}$ )

QBD專案計劃包括Ramp-V測試和Ramp-J測試。這些測試會堅持薄電介質[14]。晶圓級測試的JESD35-A標準程序。此專案 (圖11) 不會使用子站點循環。

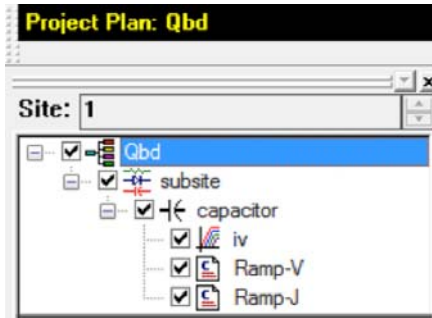


圖11. 包含在 KTEI9.0 Qbd專案中，適用於4200-SCS機型的Q<sub>BD</sub>測試。

**Ramp-V**：電壓斜波測試。本測試會在電容或閘極氧化層上使用傾斜的電壓壓力，以分析在較低電場處的電介質缺陷特性。

**Ramp-J**：電流密度斜波測試。本測試在電容或閘極氧化層上使用傾斜的電流壓力，以分析在較高電場處的電介質缺陷特性。「測試」也能夠實行有界的「J-Ramp」的測試，前提是電流設定為上升到特定位準，然後保持直到崩潰。有界的「J-Ramp」測試提供了可重複的崩潰電荷 (Q<sub>BD</sub>) 量測。請參閱表5，以瞭解KTEI9.0中所提供的崩潰電荷測試庫。

專案	說明
Qbd	閘極介電層（電容）上的Q <sub>BD</sub> 專案。包括兩個Q <sub>BD</sub> 測試：Ramp-V和Ramp-J。另外還有一個額外的測試會在正常工作條件下執行I-V量測，以獲得Ramp-V和Ramp-J測試的輸入參數。

表5. KTEI9.0中的崩潰電荷測試庫（位於目錄 C:\S4200\kiuser\Projects\\_Reliability\）。

## 結論

不斷發展的設計規模和新材料使得晶圓級可靠性測試比以往任何時候都更加重要，而可靠性測試和建模的需求也向上游推動，尤其是帶入了研發程序，讓適用範圍更進一步地擴展。儀器製造商也提供了更快速、更靈敏且高度靈活的可靠性測試工具，能降低測試成本，並縮短產品上市的時間。吉時利4200-SCS機型參數分析儀和封裝選項可提供必要的軟硬體設施，以進行快速和完整的裝置特性分析和可靠性測試。

## 參考資料

1. E. Takeda, C.Y. Yang, A. Miura-Hamada, "Hot-carrier effects in MOS devices," *Academic Press*, 1995.
2. D.K. Schroder, J.A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing." *J. Appl. Phys.*, vol. 94, no. 1, 2003.
3. K.N. Tu, "Recent advances on electromigration in very-large-scale-integration of interconnects," *J. Appl. Phys.*, vol. 94, no. 9, 2003.
4. R. Moazzami, J.C. Lee, C. Hu, "Temperature acceleration of time-dependent dielectric breakdown," *IEEE Transactions on Electron Devices*, vol. 36, no. 11, 1989.
5. P.P. Apte, K.C. Saraswat, "Correlation of trap generation to charge-to-breakdown (QBD): a physical-damage model of dielectric breakdown," *IEEE Transactions on Electron Devices*, vol. 41, no. 9, 1994.
6. M.A. Alam, S. Mahapatra, "A comprehensive model of PMOS NBTI degradation," *Microelectronics Reliability*, vol. 45, issue 1, 2005.
7. G.D. Wilk, R.M. Wallace, J.M. Anthony, "High- $\kappa$  gate dielectrics: Current status and materials properties considerations," *J. Appl. Phys.*, vol. 89, no. 10, 2001.
8. B.S. Doyle, B.J. Fishbein, K.R. Mistry, "NBTI-enhanced hot carrier damage in p-channel MOSFETs," *IEDM*, 1991.
9. Ultra-Fast NBTI/PBTI Package for the Model 4200-SCS Data Sheet.
10. Model 4200-SCS Semiconductor Characterization System Reference Manual.
11. JEDEC Standard 28-A, "Procedure for Measuring N-Channel MOSFET Hot-Carrier-Induced Degradation Under DC Stress," 2001.
12. JEDEC Standard 90, "A Procedure for Measuring P-Channel MOSFET Negative Bias Temperature Instabilities," 2004.
13. JEDEC Standard 61A.01, "Isothermal Electromigration Test Procedure," 2007.
14. JEDEC Standard 35-A, "Procedure for the Wafer-Level Testing of Thin Dielectrics," 2001.